TECHNISCHE UNIVERSITÄT DRESDEN

VLSI-EDA

Fakultät Informatik, Institut für Technische Informatik, Professur VLSI-Entwurfssysteme, Diagnostik und Architektur

Rechnerstrukturen und -organisation

Rechenwerk

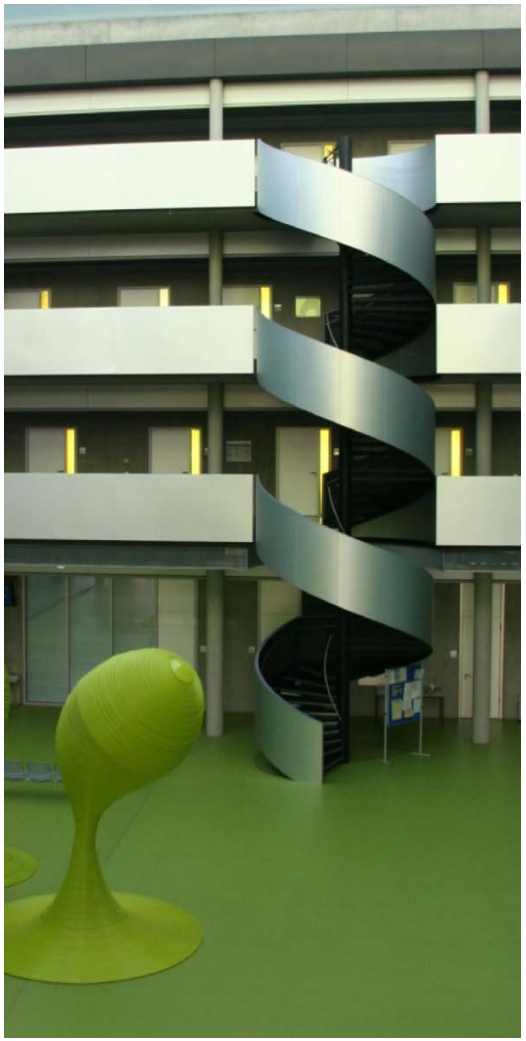
Rainer G. Spallek

TU Dresden, 28.01.2021

Rainer.Spallek@tu-dresden.de http://vlsi-eda.inf.tu-dresden.de

Gliederung

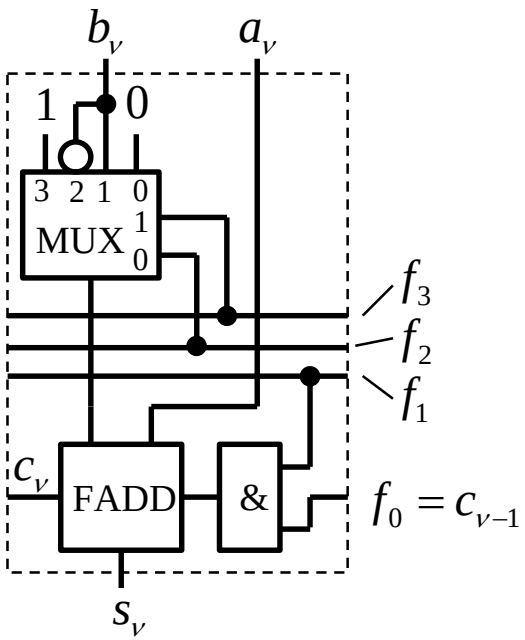
1 Zielstellung
2 Bit-Slice Architektur
3 Architekturbeispiele
4 Zusammenfassung



1 Zielstellung

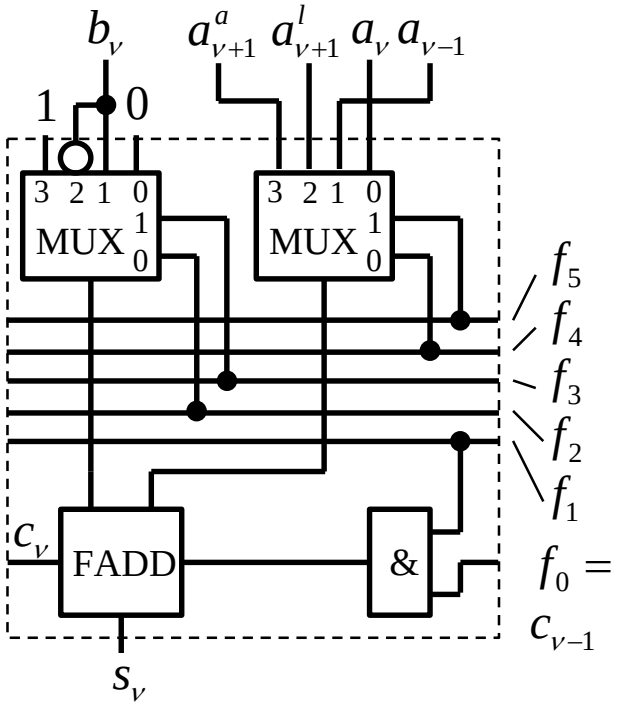
- Kennenlernen eines einfachen Rechenwerkes mit paralleler Verarbeitung.
- Wie können verschiedene Befehle durch einfache Steuergrößen realisiert werden.
- Welche Befehle sind mit einer einfachen Architektur möglich.
- Worin unterscheiden sich hochkomplexe Rechenwerke von dieser Architektur.

2 Bit-Slice Architektur
Zelle eines einfachen Rechenwerkes



f_3	f_2	f_1	f_0	s	Befehl
0	0	0	–	$s = a$	TFR
0	0	1	0	$s = a$	TFR
0	0	1	1	$s = a + 1$	INC
0	1	0	–	$s_\nu = a_\nu \oplus b_\nu$	XOR
0	1	1	0	$s = a + b$	ADD
0	1	1	1	$s = a + b + 1$	ADD, INC
1	0	0	–	$s_\nu = \overline{a_\nu \oplus b_\nu}$	XNOR
1	0	1	0	$s = a + \overline{b} = a - b - 1$	SUB, DEC
1	0	1	1	$s = a + \overline{b} + 1 = a - b$	SUB
1	1	0	–	$s_\nu = \overline{a}_\nu$	NOT
1	1	1	0	$s = a - 1$	DEC
1	1	1	1	$s = a$	TFR

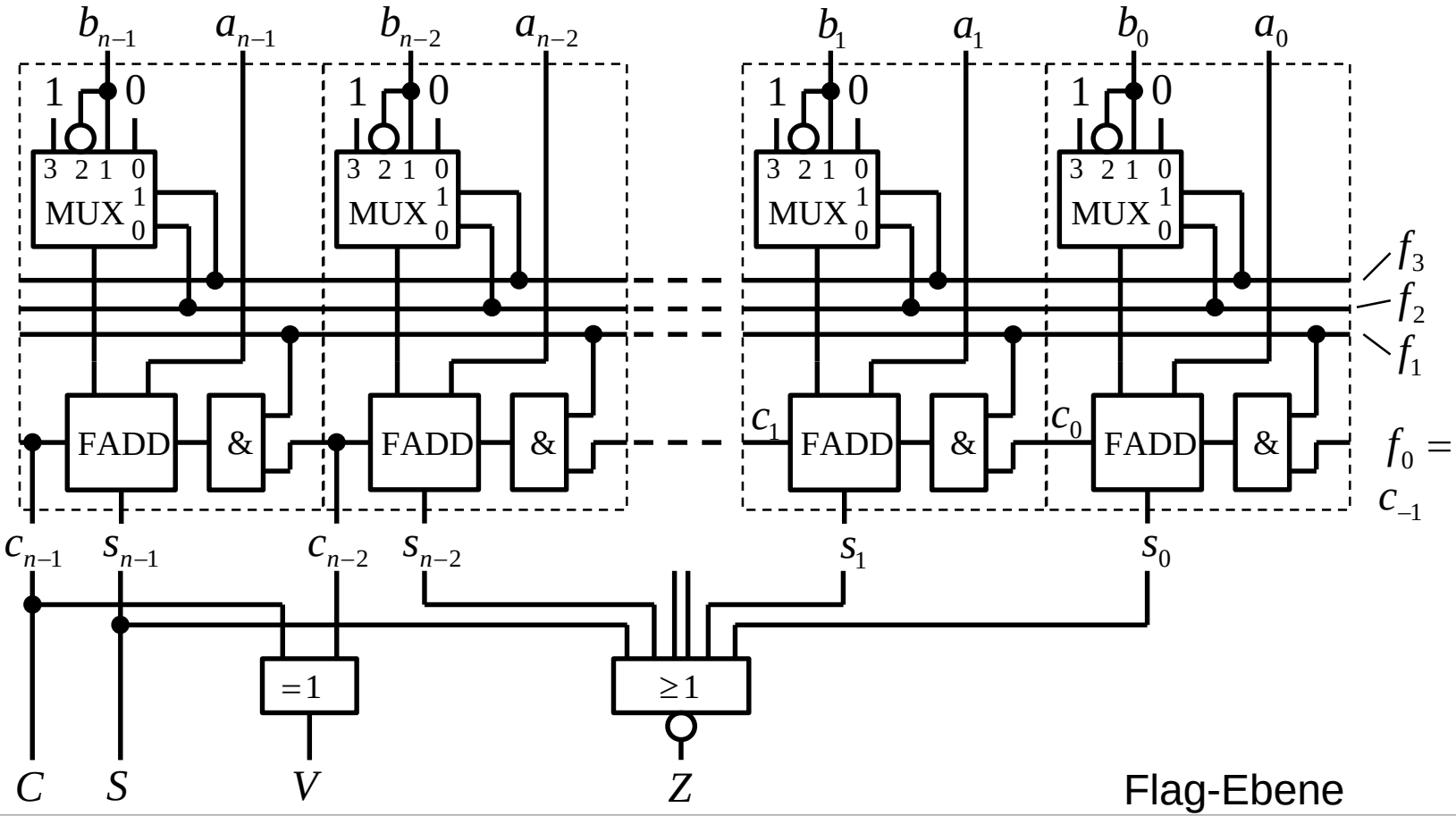
Zelle eines einfachen Rechenwerkes mit Shift-Befehlen



f_5	f_4	f_3	f_2	f_1	f_0	$s\ (\nu = 0,...,n-1)$	Befehl
0	0	0	0	0	0	$s_\nu = a_\nu$	TFR
0	1	0	0	0	0	$s_\nu = a_{\nu-1}, a_{-1} = 0$	LSL
1	0	0	0	0	0	$s_\nu = a^l_{\nu+1}, a^l_n = 0$	LSR
1	1	0	0	0	0	$s_\nu = a^a_{\nu+1}, a^a_n = s_{n-1}$	ASR
⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮

TFR	transfer
LSL	logical shift left
LSR	logical shift right
ASR	arithmetical shift right

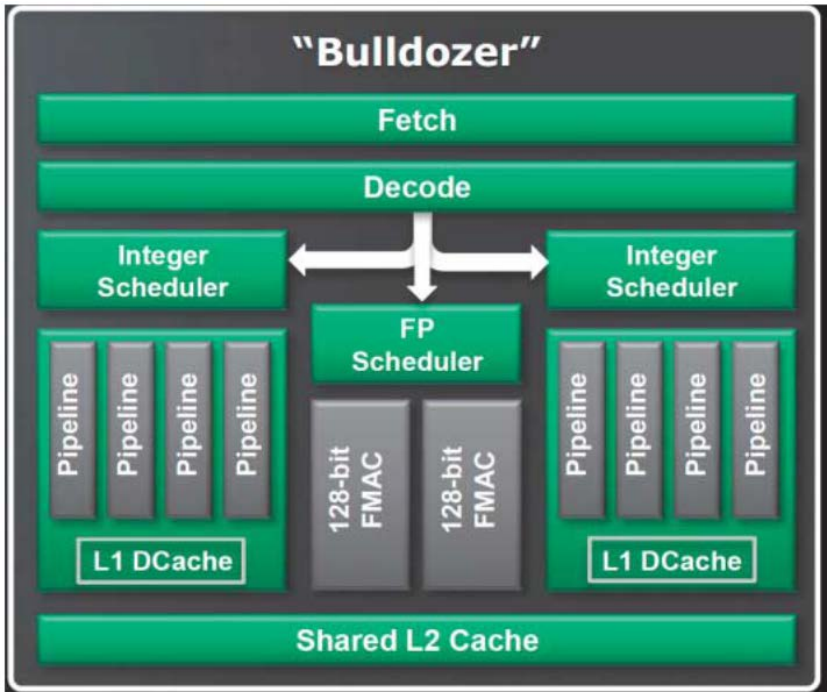
Bit-Slice Rechenwerk (Bit-Scheiben)



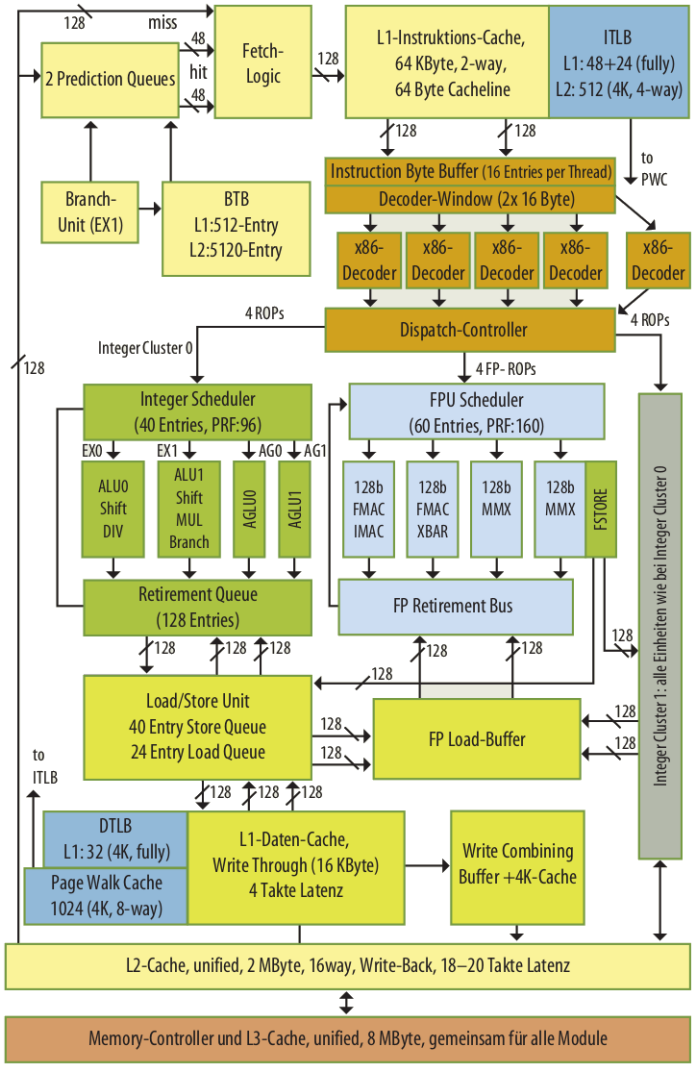
3 Rechenwerk Architekturbeispiele

- CPU AMD Bulldozer
- CPU Intel Sandy-Bridge
- GPU

AMD Bulldozer-Modul

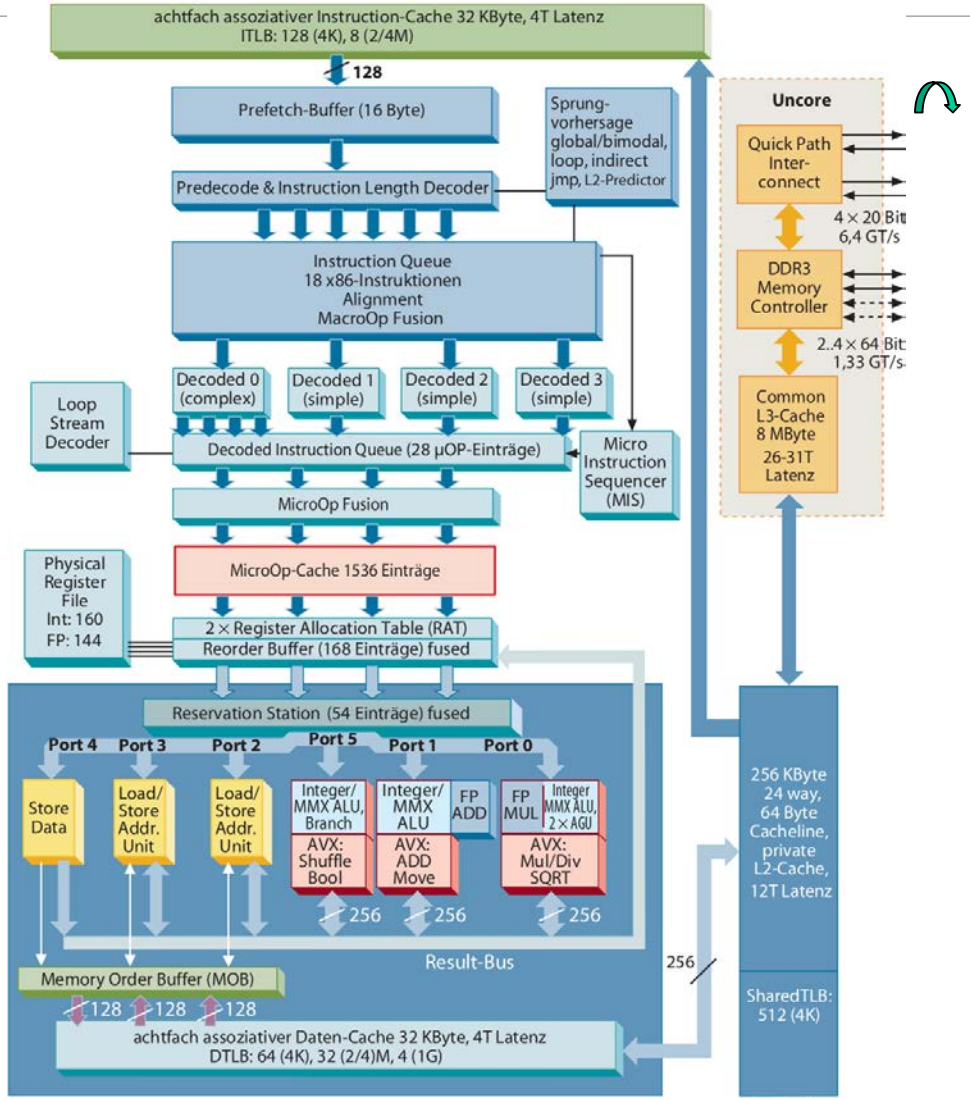


AMD Bulldozer-Modul: c't 2011, Heft 11, Seite 189



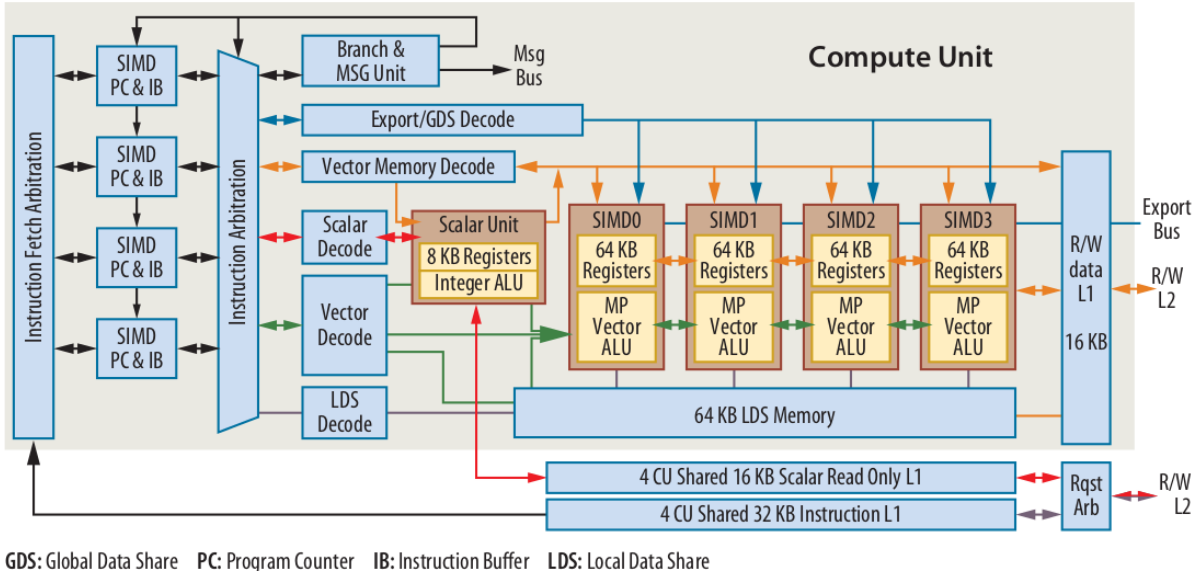
AMD Bulldozer-Modul: c't 2011, Heft 25, Seite 161

Intel Sandy-Bridge

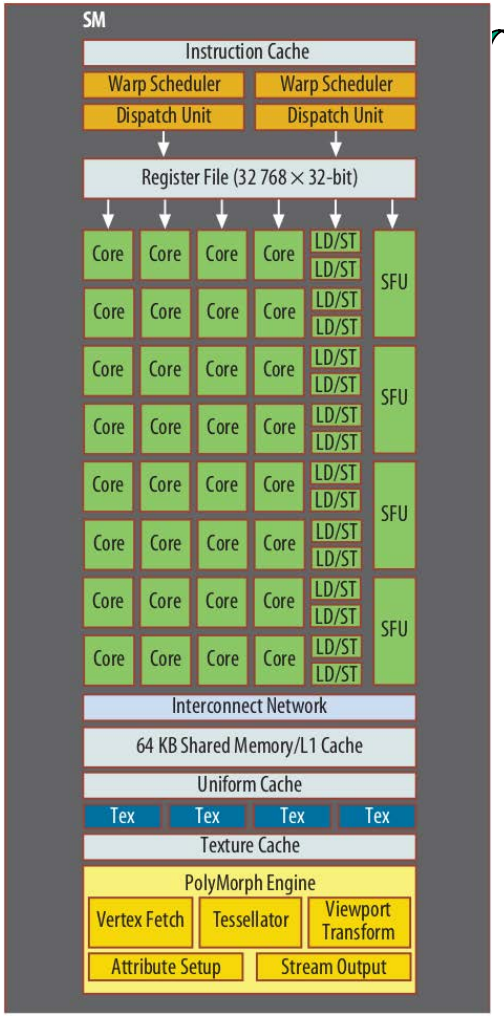


Intel Sandy-Bridge: c't 2011, Heft 23, Seite 138

GPU



AMD GCN-Architektur: c't 2011, Heft 15, Seite 27



NVIDIA Fermi-SM: c't 2010, Heft 9, Seite 107

4 Zusammenfassung

- Für die Realisierung eines einfachen Rechenwerkes reichen FADD, AND und MUX aus.
- Bit-Slice-Architektur: Die Realisierung der Operationen für eine Bit-Stelle kann durch einfache Zusammenschaltung auf beliebig viele Bit-Stellen erweitert werden.
- Die Übertragsweiterleitung geht durch alle Bit-Stellen.
- Die Flags der Operation können sofort mit der Operation selbst gebildet werden.
- Alle wesentlichen Operationen sind realisierbar: ADD, SUB, INC, DEC, XOR, XNOR, NOT, TFR, LSL, LSR, ASR.
- Alle anderen Operationen lassen sich durch Befehlsfolgen realisieren.